

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-339465

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/401  
11/407

識別記号

F I

G 1 1 C 11/34

3 6 2 B

3 6 2 C

3 6 2 H

3 6 2 S

3 7 1 E

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願平10-148674

(22) 出願日

平成10年(1998) 5月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮野 信治

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 行川 敏正

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 和田 政春

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 外川 英明

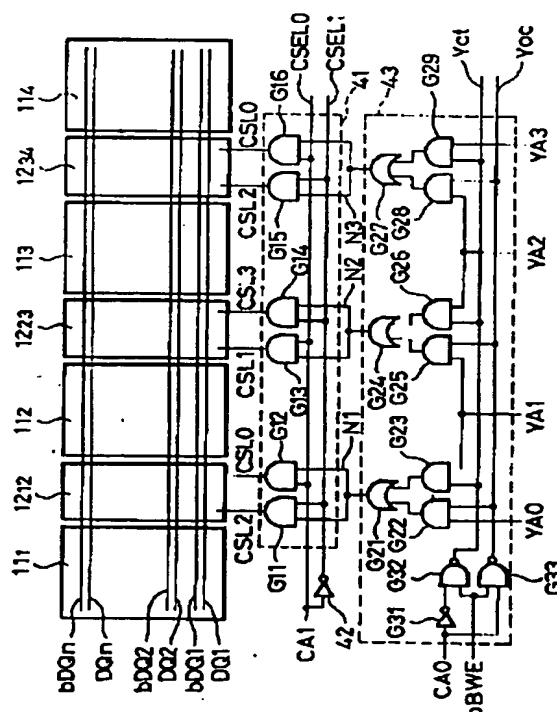
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 チップ面積の増大を伴うことなく、複数アドレスへの同時データ書き込みを可能とする半導体記憶装置を提供する。

【解決手段】 複数のセルアレイブロック11に分割され、その間にセンスアンプ列12が配置されたメモリセルアレイ上に、データ線対DQ、bDQが配設される。

一つのデータ線対DQ、bDQは、センスアンプ列12に沿って複数本ずつ配設されたカラム選択線CSLにより、各セルアレイブロック11内の複数のビット線対に接続される。セルアレイブロック11を選択するブロック選択デコード部と、カラム選択線CSLを選択するカラム選択線選択デコード部41、及びブロックライトイネーブル信号bBWEにより制御されて、デコード部41が一本のカラム選択線のみを活性にする第1の動作モードと、複数本のカラム選択線を同時に活性にする第2の動作モードを切り替える切り替えゲート部43を有する。



があれば、内部データバス全体の幅は極めて大きなものとなり、チップ面積が増大してしまう。

【0005】この様な面積のオーバーヘッドを解消するためには、内部データバス構造を下位の内部データバスと上位の内部データバス（グローバルデータバス）からなる階層構造とすることが有効である。下位の内部データバスは複数本ずつ選択的にグローバルデータバスに接続されるようにする。そして、グローバルデータバスの本数をI/Oバスの本数と等しくする。

【0006】しかし、このような構成では、グローバルデータバスとI/Oバスの本数が等しいため、1データサイクル中に複数のアドレスに同時にデータ書き込みを行うブロックライトを実現できない。

【0007】この発明は、上記事情を考慮してなされたもので、チップ面積の増大を伴うことなく、複数アドレスへの同時データ書き込みを可能とする半導体記憶装置を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る半導体記憶装置は、ビット線対とワード線の交差部にメモリセルが配置され、複数のセルアレイブロックに分割されたメモリセルアレイと、このメモリセルアレイの複数のセルアレイブロックにまたがって連続的に、複数のビット線対毎に一本の割合で配設されたデータ線対と、このデータ線対がデータバッファを介して接続される外部入出力端子と、前記メモリセルアレイから読み出された又は前記メモリセルアレイに書き込むデータをセンス増幅するためのセンスアンプ列と、このセンスアンプ列を介して選択されたビット線対をデータ線対に接続するためのカラム選択スイッチ回路と、このカラム選択スイッチ回路を制御してセルアレイブロック内の一つのビット線対をセルアレイブロックの片側のセンスアンプ列を介して一つのデータ線対に接続する第1の動作モードと、セルアレイブロック内の複数のビット線対をセルアレイブロックの両側のセンスアンプ列を介して同時に一つのデータ線対に接続する第2の動作モードとを設定可能としたデコード回路と、を備えたことを特徴とする。

【0009】第2の動作モードは具体的には、同一データを複数アドレスに同時書き込みするデータ書き込みモードである。また第2の動作モードでは、好ましくは、複数アドレスのメモリセルの半分ずつに互いに逆極性電位で書き込むものとする。

【0010】この発明において好ましくは、データ線対の数と外部入出力端子の本数は等しいものとする。この発明において例えば、一つのデータ線対に対してカラムスイッチ回路を介して接続されるべきビット線対は2N個であり、セルアレイブロックの両側に配置されるセンスアンプ列に沿って、カラム選択スイッチ回路を制御するN本ずつ複数組のカラム選択線が配置される。

【0011】この場合デコード回路は、カラムアドレス

をデコードしてセルアレイブロックを選択するブロック選択デコード部と、カラムアドレスをデコードして前記各センスアンプ列に沿って配置された各組のN本のカラム選択線の中から一本を選択するカラム選択線選択デコード部と、カラムアドレスとブロックライトイネーブル信号の論理により前記カラム選択線選択デコード部を制御して、カラム選択線の一つの組を活性にすることにより1つのビット線対を一つのデータ線対に接続する第1の動作モードと、カラム選択線の複数の組を同時に活性にすることにより複数のビット線対を同時に一つのデータ線対に接続する第2の動作モードとの切り替えを行うモード切り替えゲート部とを備えて構成される。

【0012】更にこの発明において好ましくは、セルアレイブロックは、隣接するビット線対が、半ビットずつずれて配置されてセルアレイブロックの両側のセンスアンプ列に交互に接続された折返しビット線構造を有し、且つ第2の動作モードにおいて一つのデータ線対から隣接するビット線対に転送されたデータが、一つのワード線と隣接するビット線対により選択される二つのメモリセルに逆極性電位で書かれるように、メモリセルの配置及びビット線対とデータ線対の接続関係が設定される。

【0013】この発明によると、セルアレイブロックに分割されたメモリセルアレイ上に、複数のビット線対毎に一本の割合でデータ線対を配設して、一つのデータ線対を一つのビット線対に接続する第1の動作モードと、一つのデータ線対を同時に複数組のビット線対に接続する第2の動作モードを実現している。第2の動作モードによれば、1データサイクルで複数組のビット線対にデータを同時転送して複数アドレスに同一データを書き込むというブロックライト機能が得られる。従ってこの発明によると、データ線対を外出入力端子と同数として、チップ面積の増大を招くことなく、ブロックライト機能が実現できる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例によるDRAMのブロック構成である。図では、一例としてシンクロナスDRAMを示しているが、この発明はこれに限られるわけではない。メモリセルアレイ1は、ビット線対とワード線の各交差部にダイナミック型メモリセルを配列形成して構成される。アドレスバッファ2は、外部から供給されるアドレスADDを取り込む。取り込まれたアドレスをデコードしてメモリセルアレイ1のカラム及び行選択を行うために、カラムデコード3及び行デコード4が設けられている。メモリセルアレイ1のデータ読み出し/書き込みを行うためにセンスアンプ回路（I/Oゲートを含む）5が設けられ、センスアンプ回路5と外部入力端子I/Oとの間のデータ転送を行うためにデータバッファ6が設けられている。

【0015】クロック同期によるデータ読み出し/書き

に接続されている。センスアンプSA2のセンスノードNA、NBは、カラム選択線CSL2により制御されるNMOSトランジスタQ33、Q34を介してデータ線対DQ、bDQに接続されている。センスアンプSA3のセンスノードNA、NBは、カラム選択線CSL3により制御されるNMOSトランジスタQ43、Q44を介してデータ線対DQ、bDQに接続されている。

【0024】この実施例においては、あるワード線WLにより選択されて隣接する2対のビット線対に接続される二つのメモリセルMCには、データ線対DQ、bDQを伝搬する同じデータが転送された場合に互いに反転されて書かれるように、メモリセルMCの配置と、ビット線対とデータ線対の接続関係が設定されている。例えば、半ヒッチずつずれて隣接するビット線対(BL0、bBL0)とビット線対(BL1、bBL1)に着目して説明すると次の通りである。ビット線BL0は、MOSTランジスタQ11、Q31を介してデータ線DQに接続され、ビット線bBL0は、MOSTランジスタQ12、Q32を介してデータ線bDQに接続されている。一方、ビット線BL1はMOSTランジスタQ22、Q42を介してデータ線bDQに接続され、ビット線bBL1はMOSTランジスタQ21、Q41を介してデータ線DQに接続されている。そして、ワード線WL1とビット線BL0、BL1との交差部にそれぞれメモリセルMC1、MC2が配置され、ワード線WL2とビット線bBL1、bBL0との交差部にそれぞれメモリセルMC3、MC4が配置されている。

【0025】従って例えばワード線WL1が選択されたとき、これとビット線BL0、BL1との交差部にそれぞれ配置されるメモリセルMC1、MC2には、データ線DQ、bDQ上を転送されるデータが、一方にはHレベルデータとして、他方にはLレベルデータとして、互いに逆極性で書き込まれることになる。

【0026】ビット線対BL2、bBL2とこれに隣接するビット線対BL3、bBL3との間についても同様である。このように、隣接するビット線対に同時に逆データが書かれるようにすることは、選択されたメモリセルのセルキャパシタを介してビット線とセルプレートが容量結合するときのセルプレート電位の変動を抑制する上で有効である。即ち通常のブロックライト動作では、同時に書き込まれるビット線数が多くなり、複数のビット線を介して対応するメモリセルに同時に同極性データが書き込まれると、プレート電位がセルキャパシタの容量結合により大きく変動するという問題がある。この実施例の場合、前述のように、データ線DQに接続されるビット線BL0がHレベルになると、データ線bDQに接続されるビット線BL1はLレベルになる。これらのビット線BL0、BL1とワード線WL1の交差部に配置された二つのメモリセルMC1、MC2への同時データ書き込み動作は、メモリセルMC1、MC2ではそ

れぞれのセルキャパシタに対して、一方が充電で他方が放電という動作になる。従って、二つのメモリセルMC1、MC2への逆データの同時書き込みは、セルプレートの電位を上昇させる方向と電位を低下させる方向、即ちセルプレートの電位変動を相殺する方向に作用することになる。

【0027】センスアンプ列12の各センスアンプSAは、PMOSフリップフロップとNMOSフリップフロップを組み合わせた周知のフリップフロップ型センスアンプである。またセンスアンプSAには通常ビット線イコライズ回路が付随するが、これは省略している。

【0028】この実施例においては、データバッファ6を介して外部から一つのデータ線対DQ、bDQに転送されたデータを、一つのセルアレイブロックの一つのビット線対BL、bBLに転送してデータ書き込みを行う通常の動作モード(第1の動作モード)と、一つのデータ線対DQ、bDQに転送されたデータを一つのセルアレイブロックの二つのビット線対BL、bBLに同時に転送して2アドレス分のデータ書き込みを行う動作モード(第2の動作モード)の切り替えを可能としている。

【0029】図4及び図5は、上述のような二つの動作モードの切替を可能とするための、カラムデコード3の部分の具体的な構成例を示している。カラムデコード3は、図5に示すブロック選択デコード部51と、図4に示すカラム選択線選択デコード部41、及び動作モード切り替えゲート部43を有する。

【0030】図5に示すブロック選択デコード部51は、カラムアドレスCA0~CA3の上位2ビットデータCA2、CA3をデコードして、4個のセルアレイブロック11の選択を行う部分である。このブロック選択デコード部51は、カラムアドレスのビットデータCA2、CA3と、インバータG45、G46によるCA2、CA3の反転データとの全ての組み合わせの一致検出を行うNANDゲートG41~G44を用いて構成されている。このブロック選択デコード部51の4本の出力線が、CA2、CA3によりいずれか一つが活性となるブロック選択信号線YA0~YA3となる。

【0031】図4に示すカラム選択線選択デコード部41は、より下位のビットデータCA1をデコードして、各セルアレイブロック11の両側に配置された各組2本ずつのカラム選択線のうち一本を選択するための回路部である。このカラム選択線選択デコード部41は、各カラム選択線にそれぞれ出力端子が接続された二人力ANDゲートG11~G16により構成されている。センスアンプ列1212部に配設された2本のカラム選択線CSL0、CSL2を駆動するANDゲートG12、G11の組の各一つの入力端子は、ビットデータCA1がそのまま入る選択信号線CSEL0と、ビットデータCA1をインバータ42により反転したデータが入る選択信号線CSEL1に接続されている。センスアンプ列1223

イブロック112を挟んで両側のカラム選択線CSL0、CSL1が同時にHになる。これにより、データ線DQ、bDQを伝搬するデータは、セルアレイブロック112の両側のカラムスイッチ回路2212、2223を介し、センスアンプ列1212、1223を介して、二つのビット線対BL0、bBL0とBL1、bBL1に同時に転送される。即ち、同一データが2アドレスに同時に書き込まれることになる。図7は、上述したブロックライトの様子を示している。

【0039】以上のようにこの実施例では、メモリセルアレイ上に、ビット線対との間で4:1のマルチプレクスを可能とするデータ線対を複数のセルアレイブロックにまたがって配設し、且つ一つのデータ線対上のデータを一つのビット線対に転送する第1の動作モードと、一つのデータ線対上のデータを同時に二つのビット線対に転送する第2の動作モードとを切り替え可能としている。しかもこの実施例では、データ線対の数と外部入出力端子数を等しくしている。従って、従来のように外部入出力端子とデータ線の間で多重化する方式と異なり、チップ面積の増大を招くことなく、ブロックライトの機能を実現できる。

【0040】なお実施例で示した4:1の多重化は、一例に過ぎず、同様の手法で16:1等といった多重化も可能である。また実施例では、2アドレス分の同時書き込みを示したが、4アドレス或いは8アドレス分の同時書き込みも同様の手法で実現できる。

【0041】更に実施例ではシンクロナスDRAMを説明したが、通常のDRAMにもこの発明を同様に適用することが可能である。更にまた実施例では、隣接するセルアレイブロックでセンスアンプを共有する共有センスアンプ方式のDRAMを説明したが、この発明は共有センスアンプ方式でないDRAMにも有効である。

【0042】

【発明の効果】以上述べたようにこの発明によれば、メ

モリセルアレイ上で複数のビット線対を一つのデータ線対に接続する多重化を実現し、チップ面積の増大を招くことなく、1データサイクルで複数アドレスに同時にデータ書き込みを行うことが可能とした半導体記憶装置が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例によるシンクロナスDRAMのブロック構成を示す。

【図2】同実施例のメモリセルアレイのセルアレイブロック構成を示す。

【図3】同実施例のサブセルアレイの具体的な構成を示す。

【図4】同実施例のカラムデコーダ部の具体的な構成を示す。

【図5】同実施例のカラムデコーダの中のブロック選択デコード部の構成を示す。

【図6】同実施例のデータバッファ部の具体的な構成を示す。

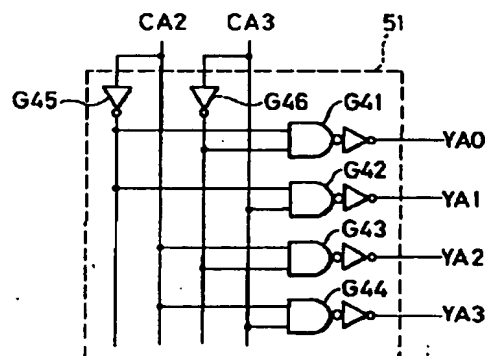
【図7】同実施例のブロックライト動作を示すタイミング図である。

【図8】従来のブロックライト機能を持つメモリの構成を示す。

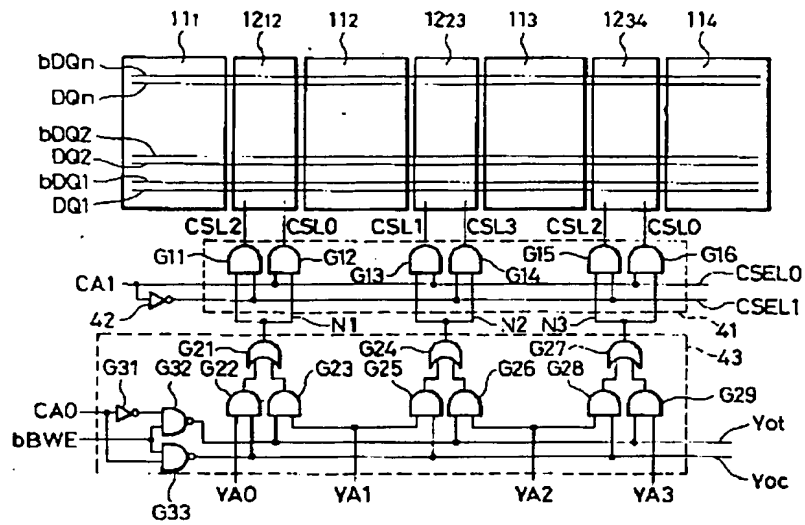
【符号の説明】

1…メモリセルアレイ、2…アドレスバッファ、3…カラムデコーダ、4…rowデコーダ、5…センスアンプ回路、6…データバッファ、7…クロックバッファ、8…コマンドデコーダ、9…制御信号発生回路、10…モードレジスタ、11…セルアレイブロック、12…センスアンプ列、DQ、bDQ…データ線対、BL、bBL…ビット線対、WL…ワード線、MC…メモリセル、21…転送ゲート、22…カラムスイッチ回路、CSL…カラム選択線、41…カラム選択線選択デコード部、42…モード切り替えゲート部、51…ブロック選択デコード部。

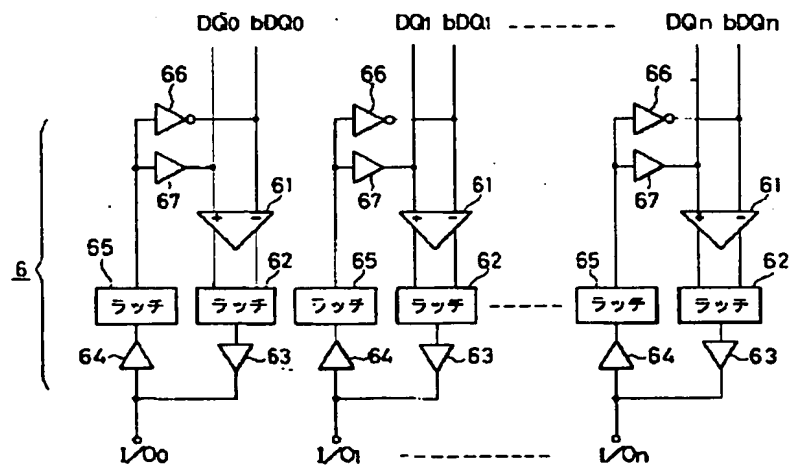
【図5】



【図4】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** Skip pages

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**